컴퓨터 공학 기초 설계 및 실험1

예비 보고서

실험제목 : Half-adder & full-adder Multiplexer and de -multiplexer

실험일자: 2018년 05월 24일 (목)

제출일자: 2018년 05월 24일 (목)

학 과: 컴퓨터정보공학부

담당교수: 이준환

실습분반: 목요일(0,1,2)

학 번: 2015722025

성 명: 정용훈

예비보고서

1. 제목 및 목적
   1. 제목

Half-adder & full-adder Multiplexer and de-multiplexer

* 1. 목적

반가산기, 반감산기, 전가산기와 전감산기의 구성과 동작 특성, 구성 원리를 이해 할 수 있고 가산기의 연산장치를 이해하는데 목적이 있다. 또한 먹스와 디먹스의 동작원리 및 특성을 이해 할 수 있다.

1. 원리(배경지식)
   1. **Half-adder**

Half adder란 두개의 2진수를 가산하는 회로이다.

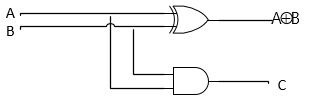
0+0=0, 0+1=1, 1+0=0, 1+1=10 이므로 반가산기의 진리표는 다음과 같다.

|  |  |  |  |
| --- | --- | --- | --- |
| 입력 | | 출력 | |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

여기서 S는 합을 나타내는 변수이고, C는 자리올림을 나타내는 변수이다.

진리표를 이용하여 논리식을 구해보면 S=A’∙B+A∙B’=AB, C=A∙B가 된다.

이를 바탕으로 논리 회로도를 구하면 다음과 같다.



* 1. **Full-adder**

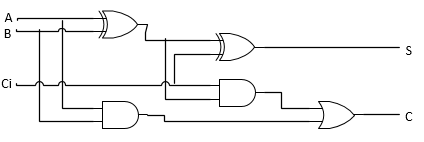
전가산기(full adder)는 3개의 2진수를 가산하는 회로이다. 2진수의 가산에 있어서는 두수 외에 전 자리수의 계산에서 올라온 올림수도 가산해야 한다. 가장 낮은 자리수 (2의 0승)에서는 두 수만을 가산해도 충분하지만 다음 자리수 부터는 그 전 자리수에서 올라온 올림수 까지도 가산해야 하므로 반가산기만으로 충분하지 않다. 전가산기는 반가산기에서 올라온 자리올림수를 포함하여 세자리를 더하는 것을 말한다.

3개의 2진수를 가산하는 전가산기는 0+0+0=0, 0+0+1=1, …, 1+1+1=11 이므로 진리표는 다음과 같다

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 입력 | | | 출력 | |
| Ci | A | B | S | Co |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

S는 합을 나타내는 변수이고, Co는 자리올림을 나타내는 변수, Ci는 자리올림 받음을 나타내는 변수이다.

논리식을 구하면 S = ABCi, C0 = Ci∙(AB) + A∙B 이고 이를 이용하여 논리회로를 구성하면 반가산기 두 개를 이용하여 만들어지는 형태로 다음과 같다.



* 1. **Half-subtractor**

Half subtractor란 2진수 1자리의 두 개 비트를 빼서 그 차를 산출 하는 회로이다. 입력 변수 X, Y의 차를 D, 빌려오는 수를 B 라고 한다면 진리표는 아래와 같이 나온다.

|  |  |  |  |
| --- | --- | --- | --- |
| 입력 | | 출력 | |
| X | Y | D | B |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

Half adder를 조금 변형한 형태라고 생각하면 이해하기 쉽다. 위 진리표를 가지고 D와 B의 논리식을 구하면 아래와 같이 나온다.

D=X’Y+XY’=XY , B=X’Y

* 1. **Full-subtractor**

Full subtractor는 입력 변수 3자리의 뺄셈에서 차 와 빌려오는 수를 구하는 것이다. 즉 윗 자리로부터 빌려온 값을 포함하여 세 비트의 뺄셈을 할 수 있는 회로를 의미한다. 전감산기를 위한 진리표는 아래와 같이나온다.

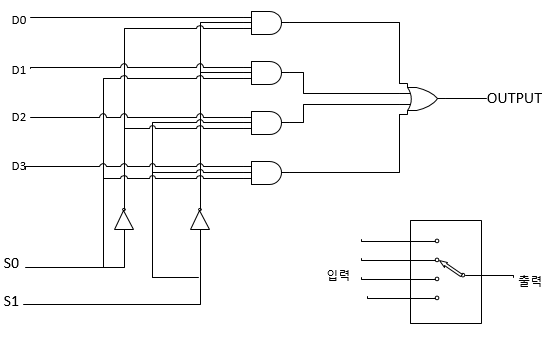
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 입력 | | | 출력 | |
| X | Y | Z | D | B |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

D와 B의 논리식을 구하면 아래와 같이 구할 수 있다.

D=XYZ , B=X’Z+X’Y+YZ

* 1. **Multiplexer**

멀티플랙서란 n개(셀렉터)의 선택선에 의해서 최대 2^n개의 입력선 중 어느하나가 출력이 되는 회로이다. 다음은 4x1 멀티플렉서 이다



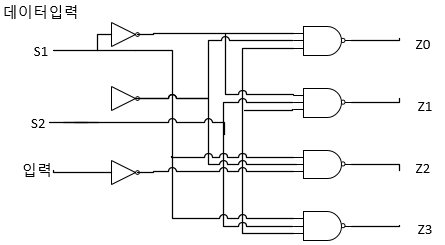
S1, S0는 사용자가 선택하길 원하는 데이터입력(Data-input)을 선택하도록 하는 이진코드이다. 만약에 S1=0, S0=0이면, D0가 선택된다. 만약 S1=0, S0=0이면 D1이 선택된다. 이를 표로 나타내면 다음과 같다.

|  |  |  |
| --- | --- | --- |
| 데이터 선택 제어입력 | | 데이터 입력 선택 |
| S1 | S0 |
| 0 | 0 | D0 |
| 0 | 1 | D1 |
| 1 | 0 | D2 |
| 1 | 1 | D3 |

제어입력은 (S1, S0)를 출력으로 하나의 입력데이터만 전송되도록 적당한 ND게이트만 활성화시킨다.

* 1. **Demultiplexer**

디멀티플랙서는 멀티플랙서와 반대의 역할을 하는 조합회로 이다. 이를 데이터 분배기로 생각할 수 있다. 하나의 입력을 받아서 여러개의 출력으로 내보내기 때문이다. 즉 N개의 선택선에 의하여 한 개의 입력선을 최대 2^n개의 출력선 중 어느 하나에 연결한다. 다음은 4x1 디멀티플렉서 이다

.

1. 참고문헌

전 가산기와 반 가산기 : http://idlecomputer.tistory.com/88

먹스와 디먹스 : <http://netpilgrim.tistory.com/460>

전 감산기 : <https://blog.naver.com/asd7979/30109241972>

반 감산기 : <https://blog.naver.com/asd7979/30109238557>

William Kleitz/Digital Electronics: A practical Approach/Pearson/2010